


STATIC RAM

Patent Number: JP4053090
Publication date: 1992-02-20
Inventor(s): KAMURO SETSUSHI
Applicant(s): SHARP CORP
Requested Patent:  JP4053090
Application Number: JP19900160883 19900619
Priority Number(s):
IPC Classification: G11C11/412
EC Classification:
Equivalents:

Abstract

PURPOSE:To obtain an SRAM having a stable characteristic by composing all FFs, which constitute a memory cell, of NMOS transistors.

CONSTITUTION:In the manner of micro, a fine threshold current flows in NMOS transistors TrQ5 and Q6 which gates are connected to sources. The sub-threshold current of the loading elements Q5 and Q6 constituting the inverter is utilized as a load current. Next, a power source VM of the memory cell is set at a low potential when a test and the potential of one bit line is set high. In such a state, when the load element of the selected memory cell is not disconnected, the TrQ5 and Q6 as the load elements on the side of the high potential bit line are turned to the ON state and operated to pull down the potential of the high-potential bit line toward the power source VM set at the low potential. As the result, since the potential of the high-potential bit line is made lower than the original potential, it is decided by detecting the potential that the load elements of the memory cell are normal.

Data supplied from the esp@cenet database - I2



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-53090

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)2月20日

G 11 C 11/412

7323-5L G 11 C 11/40 3 0 1

審査請求 未請求 請求項の数 2 (全5頁)

⑭ 発明の名称 スタティックRAM

⑯ 特 願 平2-160883

⑰ 出 願 平2(1990)6月19日

⑱ 発 明 者 禿 節 史 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑲ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

⑳ 代 理 人 弁理士 梅 田 勝 外2名

明 細 書

1. 発明の名称

スタティックRAM

2. 特許請求の範囲

1) メモリセルが、2つのインバータをクロスに接続したフリップフロップを含んでなるスタティックRAMにおいて、

第1のしきい値 V_1 を有するNチャネルMOSトランジスタからなる駆動素子と、ゲートをソースに接続し、上記駆動素子のしきい値より小さくかつ高電位側の電荷のリーク電流を補償する第2のしきい値 V_2 に設定したNチャネルMOSトランジスタからなる負荷素子とを接続してインバータが構成されてなることを特徴とするスタティックRAM。

2) メモリセルが、2つのインバータをクロスに接続したフリップフロップを含んでなるスタティックRAMにおいて、

第1のしきい値 V_1 を有するNチャネルMOSトランジスタからなる駆動素子と、ゲートをソ-

ースに接続し、上記駆動素子のしきい値より小さくかつ高電位側の電荷のリーク電流を補償する第2のしきい値 V_2 に設定したNチャネルMOSトランジスタからなる負荷素子とを接続してインバータを構成し、上記インバータをクロス接続してなるフリップフロップの電源に、電源電圧を選択的に低電位に切り換え可能な手段を接続したことを特徴とするスタティックRAM。

3. 発明の詳細な説明

《産業上の利用分野》

本発明はスタティックRAM(以下、SRAMと省略する)に関するものである。

《従来の技術》

近年はメモリの容量が大きくなってきており、このような大容量化に伴って動作の高速化及び低消費電力化が求められている。このような大容量SRAMのメモリセル部を一種類のMOSトランジスタ(一般にNチャネルMOSトランジスタ)だけで構成した回路として、一般に第5図に示すような駆動素子 Q_1 、 Q_2 に対して高抵抗を負荷素

子 R_1 、 R_2 とする二つのMOSインバータをクロス接続したフリップフロップ構成の回路が用いられている。

《発明が解決しようとする問題点》

このような従来の回路構成において、高抵抗負荷素子 R_1 、 R_2 の抵抗値としては、A点またはB点の高電位側の電荷が拡散領域やオフ状態の駆動素子を介して流れるリーク電流により減少する電荷を補償することができる範囲でできるだけ大きな値が望ましい。

しかし、従来回路における高抵抗負荷素子はポリシリコンで構成され、不純物の注入によりその抵抗値を制御するのが一般的である。

処で、上記SRAMの製造工程において、高抵抗負荷素子 R_1 、 R_2 の抵抗値を制御するプロセス工程と、この高抵抗負荷素子が補償すべきA点またはB点の電荷をリークさせる拡散領域やMOSトランジスタを作るプロセス工程とは夫々異なる工程で行われており、そのためプロセスのばらつきに対してそれぞれが関係なく別々の特性変化を

する。

またメモリセルが、2つのインバータをクロスに接続したフリップフロップを含んでなるスタティックRAMにおいて、第1のしきい値 V_1 を有するNチャネルMOSトランジスタからなる駆動素子と、ゲートをソースに接続し、上記駆動素子のしきい値より小さくかつ高電位側の電荷のリーク電流を補償する第2のしきい値 V_2 に設定したNチャネルMOSトランジスタからなる負荷素子とを接続してインバータを構成し、上記インバータをクロス接続してなるフリップフロップの電源に、電源電圧を選択的に低電位に切り換え可能な手段を接続して構成する。

《作用》

ゲートをソースに接続したNMOSトランジスタは、マクロに見ればオフ状態であるが、ミクロに見れば微少なサブスレッショルド電流が流れる。このインバータを構成する負荷素子のサブスレッショルド電流を負荷電流として利用する。

つぎに、テスト時にはメモリセルの電源 V_{ss} を

呈することになる。しかも、高抵抗負荷素子を作るために余分なポリシリコンの工程を必要とする。

また上記回路構成のSRAMでは、高抵抗素子を負荷としているため、この負荷素子に欠陥が生じている場合、これを検出するためには、一般に長時間の高温エージングを必要とする。

本発明はこのような点に鑑みてなされたもので、高抵抗ポリシリコン負荷素子を使わないで構成できるSRAMメモリセルを提供し、また負荷素子の欠陥検出を容易にしたSRAMを提供することを目的とする。

《問題点を解決するための手段》

本発明のSRAMは、メモリセルを構成するフリップフロップのクロスに接続されたインバータを、第1のしきい値 V_1 を有するNチャネルMOSトランジスタからなる駆動素子と、ゲートをソースに接続し、上記駆動素子のしきい値より小さくかつ高電位側の電荷のリーク電流を補償する第2のしきい値 V_2 に設定したNチャネルMOSトランジスタからなる負荷素子との接続により構成

例えば接地レベルのような低電位にし、かつ、一方のビット線電位を高電位に設定する。この状態で、選択されたメモリセルの負荷素子が断線していなければ、高電位ビット線側の負荷素子であるNMOSトランジスタはオン状態となり、高電位ビット線電位を低電位に設定した電源 V_{ss} に向かって引き下げるように作用する。その結果、高電位ビット線の電位はもとの電位より低くなるので、この電位を検出してメモリセルの負荷素子が正常であることを判定する。

《実施例》

第1図は本発明の一実施例のSRAMメモリセル回路図である。Q1～Q6は総てNMOSトランジスタであり、駆動素子であるドライバートランジスタQ1に対して、ゲートをソースに接続したトランジスタQ5を負荷素子として一方のインバータを構成する。次に、ドライバートランジスタQ2に対してゲートをソースに接続したトランジスタQ6を負荷素子とする他のインバータを設け、相互にクロス接続してフリップフロップを構

成している。上記インバータを構成するMOSトランジスタは、ドライバートランジスタ Q_1 、 Q_2 がしきい値 V_t に設定されているのに対して、負荷素子 Q_5 、 Q_6 は後述するように、 V_t より小さいしきい値 V_{th} に設計されている。

トランジスタ Q_3 と Q_4 は上記フリップフロップにデータを書き込んだり、データを読み出したるためにビット線との間でデータのやり取りをするメモリセル選択用のトランジスタで、両トランジスタ Q_3 、 Q_4 のゲートは共にメモリセルを選択するためのワード線につながっている。第2図はMOSトランジスタのサブスレッショルド特性の説明図である。横軸にゲート電圧 V_{gs} 、縦軸に対数でドレイン電流 I_{ds} をとり、それぞれしきい値の異なる4種類の特性曲線を示している。図から明らかなように、同じゲート印加電圧 V_{gs} においても、しきい値の異なるMOSトランジスタでは異なるドレイン電流 I_{ds} が流れることが判る。

ここで上記第1図のメモリセルにおける負荷素子

介して供給される。この切り換え回路2の入力信号 T は通常“0”レベルであり、電源 V_H には高電位が供給されている。テスト時には T 入力が“1”レベルになり、 V_H は接地電位になり、電源 V_H への印加電圧が切り換えられる。

NMOSトランジスタ T_{n1} と T_{n2} はそれぞれビット線 B_{n0} および B_{n1} のプルアップトランジスタである。コラムアドレス信号 C_{j0} によりビット線選択トランジスタ T_{j0} および T_{j1} を選択してビット線 B_{n0} と B_{n1} をそれぞれデータ線 D_{n0} および D_{n1} に接続する。

データ線制御回路3₁、3₂に含まれたNMOSトランジスタ T_{p0} と T_{p1} は、テスト時(T が論理“1”の時)または非テスト時(T が論理“0”の時)にかかわらず、チップ選択信号 CS と書き込み信号 W が共に論理“1”の時、データ入力信号 D の論理レベルに応じてオンかオフの状態となる。NMOSトランジスタ T_{p0} と T_{p1} は非テスト時にチップ選択信号 CS と書き込み信号 W が共に論理“1”の時、データ入力信号 D

Q_5 と Q_6 はともにゲートをソースに接続しているためゲート・ソース電圧 V_{gs} は0ボルトとなり、第2図における V_{gs} が0ボルトの場合に対応する微小なサブスレッショルド電流が、負荷電流 I_{ds} としてトランジスタ Q_5 と Q_6 を流れる。この電流 I_{ds} はMOSトランジスタのチャネル部作成時に行うイオン注入プロセスなどにより容易に制御可能であり、本実施例では、メモリセルを構成するフリップフロップの高電位側の電荷が拡散領域やオフ状態のトランジスタを介して流れるリーク電流により減少する電荷を補償し得るサブスレッショルド電流を呈するしきい値 V_{th} をもつMOSトランジスタとして設計する。

次に上記回路からなるメモリセル1の負荷素子に生じる断線等の欠陥をテストするための動作について、第3図を用いて説明する。第3図は上記メモリセル1およびその周辺制御回路図である。

V_H はメモリセル1の電源であり、第4図に示すようなPMOSトランジスタ T_{vp} とNMOSトランジスタ T_{vn} で構成される切り換え回路2を

の論理レベルに応じてオンかオフの状態となる。たとえば、データ入力信号 D の論理レベルが“0”のとき、データ線制御回路3₁、3₂のトランジスタ T_{p0} と T_{p1} は共にオフで T_{n0} と T_{n1} は共にオン状態である。データ入力信号 D の論理レベルが“1”のときはそれぞれのトランジスタは逆の状態になる。NMOSトランジスタ T_{n0} と T_{n1} はテスト時にチップ選択信号 CS と書き込み信号 W が共に論理“1”のとき、データ入力信号 D の論理レベルに応じてオンかオフの状態となる。たとえば、テスト時で、チップ選択信号 CS と書き込み信号 W が共に論理“1”のとき、データ入力信号 D の論理レベルが“0”であれば T_{p0} と T_{p1} は共にオン状態となり、 T_{n0} と T_{n1} は共にオフ状態となる。データ入力信号 D が論理レベル“1”であれば、これらのトランジスタはそれぞれ逆の状態となる。非テスト時におけるデータ線制御回路3₁、3₂のトランジスタ T_{p0} 、 T_{p1} 、 T_{n0} 、 T_{n1} および T_{j0} 、 T_{j1} の動作は通常のSRAMにおけるデータ書き込み動作と同様であ

り、以下の説明は省く。

上記ビット線 B_{x0} 、 B_{x1} のレベルを検出するための検出回路4は、インバータ INV_{x0} 、 INV_{x1} 及び各インバータの出力をゲートに入力したPMOS T_{xp0} 、 T_{xp1} を含み、上記PMOSトランジスタのドレインをブルダウン抵抗 R_L が接続された検出線 L_{x1} に接続して構成されている。

次に上記メモリセル及び周辺制御回路からなるSRAMの負荷素子の欠陥テストの動作を説明する。

テスト時(Tが論理“1”の時)で、チップ選択信号CSと書き込み信号Wが共に論理“1”の時を考える。データ入力信号Dの論理レベルが“0”であれば、トランジスタ T_{dx0} と T_{dx1} はオフ状態で、 T_{dx0} と T_{dx1} はオン状態である。この状態でデータ線 D_{x0} とビット線 B_{x0} は高電位になり、データ線 D_{x1} とビット線 B_{x1} は低電位になる。選択されたワード線により選択されたメモリセルでは、そのメモリセル選択用トランジスタQ3とQ4はオン状態にあり、ビット線 B_{x0} から

ビット線 B_{x0} が高電位であっても、今回は負荷素子Q5を介して接地電位の V_{ss} に電流が流れないので、ビット線 B_{x0} の電位は高電位のままであり、インバータ INV_{x0} の出力は低電位となり、PMOSトランジスタ T_{xp0} がオンとなる。この結果、検出線 L_{x1} は高電位となり、検出信号 T_{out} に論理“1”を出力し、メモリセル内の負荷素子の異常を示す。

以上の説明は、データ入力信号Dの論理レベルが“0”の場合について述べたが、データ入力信号Dの論理レベルが“1”の場合にも、データ線やビット線の左右の動作を反転して考えれば同様である。

以上の説明では、テスト時に本来高電位であるはずのビット線電位の電圧低下を検出する回路としてインバータ INV_{x0} と INV_{x1} 、PMOSトランジスタ T_{xp0} と T_{xp1} およびブルダウン抵抗 R_L を使用しているが、インバータの代わりにノンインバータを使い、PMOSトランジスタのわりにNMOSトランジスタを使い、そのソースを接地

Q3と負荷素子Q5を介して接地電位の V_{ss} に向かって電流が流れ、ビット線 B_{x0} の電位を下げる。

ここでビット線 B_{x0} の電位低下の度合は、データ線制御回路のトランジスタ T_{dx0} 、ブルアップトランジスタ T_{ux0} 、ビット線選択トランジスタ T_{jx0} 、メモリセル内のトランジスタQ3およびQ5の設計により適当に設定できる。この低下した電位を検出回路4のインバータ INV_{x0} により論理“0”レベルの入力と判定させる。一方、ビット線 B_{x1} はもともと低電位であるのでインバータ INV_{x1} の入力も論理“0”レベルである。この結果、PMOSトランジスタ T_{xp0} と T_{xp1} は共にオフである。他のコラムでも正常であれば、検出線 L_{x1} につながっているPMOSトランジスタはすべてオフであり、ブルダウン抵抗 R_L により検出線 L_{x1} は低電位であり、アンプ T_{amp} を介して検出信号 T_{out} に論理“0”を出力し、正常であることを示す。

次に、選択されたメモリセルの負荷素子Q5のゲートまたはソースが断線している場合を考える。

電位にして、ブルダウン抵抗の代わりにブルアップ抵抗を使用しても T_{out} の極性が反転するだけで同様の効果を得ることができ、当然、その他の方法でビット線電位の電圧低下を検出しても構わない。また、抵抗 R_L は便宜上抵抗として示してあるが、抵抗成分を持つものであればMOSトランジスタであってもその他のもので実現しても構わない。

《発明の効果》

以上述べたように本発明によれば、メモリセルを構成するフリップフロップを、総てNMOSトランジスタで構成することができ、高抵抗ポリシリコン負荷素子を要素とするメモリセル構造に比べ、回路設計が容易になるだけでなく特性の安定したSRAMを得ることができ、実用的に極めて有効である。

またメモリセルにおける負荷素子の断線などの検出のために従来必要とした長時間の高温エージングをなくすることができ、生産性の向上を図ることができる。

4. 図面の簡単な説明

第1図は本発明のメモリセルの回路図、第2図はMOSトランジスタのサブスレッショルド特性の説明図、第3図は本発明のメモリセルとその周辺制御回路図、第4図は第3図の電源 V_N の切り替え回路図、第5図は従来の高抵抗負荷素子によるSRAMメモリセルの回路図である。

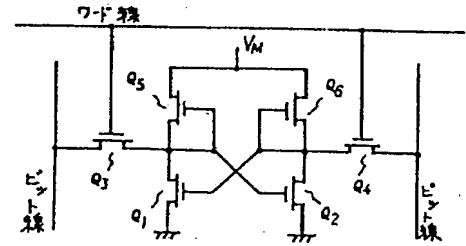
Q_1, Q_2 : ドライバトランジスタ

Q_3, Q_4 : 負荷素子

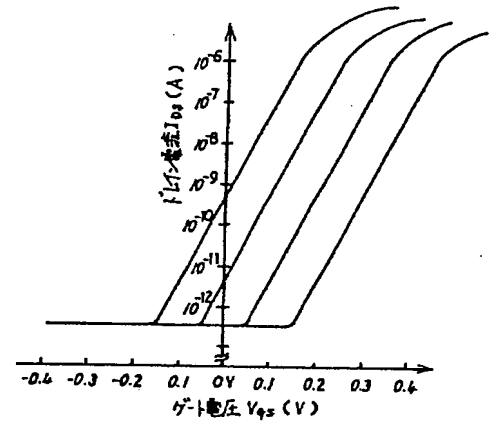
1: メモリセル 2: 切り換え回路

4: 検出回路

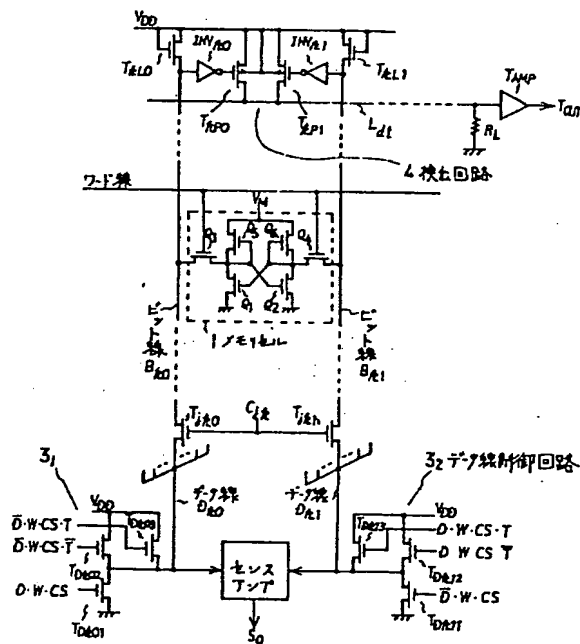
代理人 弁理士 梅田 勝 (他2名)



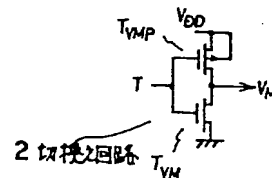
第1図



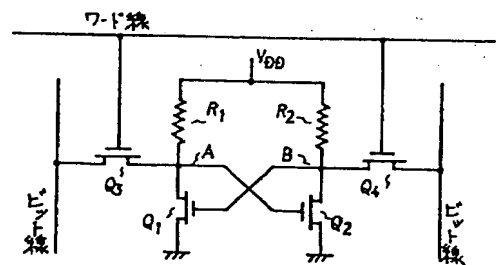
第2図



第3図



第4図



第5図

